

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-011767

(43)Date of publication of application : 16.01.1992

(51)Int.Cl.

H01L 27/108

H01L 27/06

(21)Application number : 02-111685

(71)Applicant : HITACHI LTD

(22)Date of filing : 01.05.1990

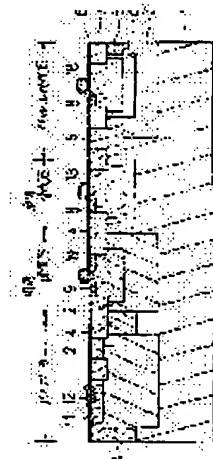
(72)Inventor : SAGARA KAZUHIKO
KITSUKAWA GORO

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To improve performance in simple steps by implanting n-type impurity ions to a p-channel MOS transistor region in a predetermined dose at a predetermined acceleration voltage, and forming a buried layer.

CONSTITUTION: Antimony is used as an impurity on the surface of a p-type silicon substrate 1, an n-type buried layer 2 is formed by thermal diffusion, and an n-type epitaxial layer is grown by a vapor growing method. Then, a silicon dioxide 6 is formed on the epitaxial layer by a thermal oxidation, and further with photoresist as a selection mask boron molecule ions are implanted at a predetermined acceleration to form a p-well 4. Similarly, phosphorus ions are implanted in a predetermined dose at a predetermined acceleration voltage to form an n-well 5. In this case, the silicon 6 is formed, elements are isolated therebetween, p- or n-type impurity ions are implanted to an n-type or p-type channel MOS transistor region to obtain low resistance buried p-type and n-type layers 8, 9. Then, the layers 8, 9 have high impurity concentrations, thereby improving performance in simple steps.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A) 平4-11767

⑫ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)1月16日

H 01 L 27/108
27/06

8624-4M H 01 L 27/10 3 2 5 R
7735-4M 27/06 3 2 1 E

審査請求 未請求 請求項の数 6 (全6頁)

⑭ 発明の名称 半導体装置及びその製造方法

⑮ 特 願 平2-111685

⑯ 出 願 平2(1990)5月1日

⑰ 発 明 者 相 良 和 彦 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑱ 発 明 者 橘 川 五 郎 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 薄田 利幸 外1名

明 細 書

1. 発明の名称

半導体装置及びその製造方法

2. 特許請求の範囲

1. 第1導電型シリコン基板上に、バイポーラトランジスタ、nチャネル絶縁ゲート型電界効果トランジスタ及びpチャネル絶縁ゲート型電界効果トランジスタを有する半導体装置において、上記シリコン基板は第2導電型の複数の領域を有し、該第2導電型の領域の1の内部に第1導電型の領域を有し、上記nチャネル絶縁ゲート型電界効果トランジスタと上記pチャネル絶縁ゲート型電界効果トランジスタのいずれか一方のトランジスタが該第1導電型の領域の内部に、他方のトランジスタが該第2導電型の領域の他の1の内部に設けられ、上記バイポーラトランジスタの少なくとも1部は、該第2導電型の領域のさらに他の1の上部に設けられ、かつ、該領域は該バイポーラトランジスタのコレクタと

して構成されたことを特徴とする半導体装置。

2. 請求項1記載の半導体装置において、上記第1導電型はp型であり、上記第2導電型はn型であり、上記一方のトランジスタはnチャネル絶縁ゲート型電界効果トランジスタであり、上記他方のトランジスタはpチャネル絶縁ゲート型電界効果トランジスタであることを特徴とする半導体装置。
3. 請求項1又は2記載の半導体装置において、上記nチャネル絶縁ゲート型電界効果トランジスタ及びpチャネル絶縁ゲート型電界効果トランジスタは、相補型電界効果トランジスタを構成し、上記一方のトランジスタはメモリセルを構成することを特徴とする半導体装置。
4. 請求項1、2又は3記載の半導体装置において、上記第2導電型の複数の領域は、同じ不純物を同じ濃度で有することを特徴とする半導体装置。
5. 第1導電型シリコン基板上に、互いに分離された複数の第2導電型の領域を形成する工程。

特開平4-11767 (2)

該第2導電型の領域の1の上に第1導電型の領域を形成する工程、nチャネル絶縁ゲート型電界効果トランジスタとpチャネル絶縁ゲート型電界効果トランジスタのいずれか一方のトランジスタを、該第1導電型の領域の上に、他方のトランジスタを、該第2導電型の領域の他の1の上に、バイポーラトランジスタの少なくとも1部を、該第2導電型の領域のさらに他の1の上に、かつ該領域を該バイポーラトランジスタのコレクタとして、それぞれ形成する工程により、請求項1記載の半導体装置を製造することとを特徴とする半導体装置の製造方法。

6. 請求項5記載の半導体装置の製造方法において、上記第1導電型はp型であり、上記第2導電型はn型であり、上記一方のトランジスタはnチャネル絶縁ゲート型電界効果トランジスタであり、上記他方のトランジスタはpチャネル絶縁ゲート型電界効果トランジスタであることを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

OSTランジスタとしていた。この理由は、0.5 μ m以降のCMOSTランジスタでは、素子の微細化に伴い、従来の電源電圧を5.0Vから3.3Vに下げ、さらに基板電位を-3.0Vから0Vに上げているために、電源投入時に発生する逆方向サージ電圧によりCMOSTランジスタに順方向に電流が流れ易く、これを防止するために、三重ウェル構造が不可欠となっているためである。なお、第7図において、5はnウェル、8は埋込p型層、9は埋込n型層、14はn型多結晶シリコン、17はn型拡散層、19はp型拡散層である。

【発明が解決しようとする課題】

上記従来技術では、三重ウェル構造を実現しなくてはならず、プロセス工程が複雑化する、という問題があった。さらに、上記従来技術と同様の基板構造を用いて0.5 μ m以降のBiCMOSを形成するならば、バイポーラトランジスタのn型埋込層を付加する必要があるため、さらにプロセスが複雑化するという問題があった。すなわち、始めに、p型シリコン基板内部の一部にn型シールド層を設け、次に、基板の上記領域とは異なる部分にn型埋込層を設け、引き続きn型エピタキシャル層を形成する必要があった。

【産業上の利用分野】

本発明は半導体装置及びその製造方法に係り、特にバイポーラトランジスタとnチャネル絶縁ゲート型電界効果トランジスタ(MOSTランジスタ)とpチャネルMOSTランジスタから構成されるいわゆるBiCMOSを設けた半導体装置及びその製造方法に関する。

【従来の技術】

従来の半導体装置は、第21回ソリッドステートデバイスアンドマテリアルズ(1989)第105頁から108頁(Extended Abstracts of the 21st Conference on Solid State Devices and Materials, Tokyo, 1989, PP.105-108)に記載されているように、0.5 μ m技術、ないし、それよりも微細のリソグラフィ技術を用いて、相補型MOSTランジスタ(CMOS)を形成する場合、メモリセル部のMOSTランジスタの基板構造として、第7図に示すように、p型シリコン基板1とpウェル4の間に、反対導電型のn型シールド層2'を設け、いわゆる、三重ウェル構造のnチャネルM

OSTランジスタとしていた。この理由は、0.5 μ m以降のCMOSTランジスタでは、素子の微細化に伴い、従来の電源電圧を5.0Vから3.3Vに下げ、さらに基板電位を-3.0Vから0Vに上げているために、電源投入時に発生する逆方向サージ電圧によりCMOSTランジスタに順方向に電流が流れ易く、これを防止するために、三重ウェル構造が不可欠となっているためである。なお、第7図において、5はnウェル、8は埋込p型層、9は埋込n型層、14はn型多結晶シリコン、17はn型拡散層、19はp型拡散層である。

また、n型シールド層は熱拡散により製造するため、その不純物濃度を高くできないという問題があった。

本発明の目的は、メモリセル部を構成する三重ウェル構造の基板とウェルとの間に設けられた反対導電型の埋込層が高い不純物濃度を有する半導体装置を提供することにある。

本発明の他の目的は、比較的簡単な工程で、従来と同等以上の性能を持つBiCMOSを有する半導体装置の製造方法を提供することにある。

【課題を解決するための手段】

上記目的は、(1)第1導電型シリコン基板上に、バイポーラトランジスタ、nチャネル絶縁ゲート型電界効果トランジスタ及びpチャネル絶縁ゲート型電界効果トランジスタを有する半導体装置において、上記シリコン基板は第2導電型の複数の領域を有し、該第2導電型の領域の1の内部

特開平4-11767(3)

に第1導電型の領域を有し、上記nチャネル絶縁ゲート型電界効果トランジスタと上記pチャネル絶縁ゲート型電界効果トランジスタのいずれか一方のトランジスタが該第1導電型の領域の内部に、他方のトランジスタが該第2導電型の領域の他の1の内部に設けられ、上記バイポーラトランジスタの少なくとも1部は、該第2導電型の領域のさらに他の1の上部に設けられ、かつ、該領域は該バイポーラトランジスタのコレクタとして構成されたことを特徴とする半導体装置、(2)上記1記載の半導体装置において、上記第1導電型はp型であり、上記第2導電型はn型であり、上記一方のトランジスタはnチャネル絶縁ゲート型電界効果トランジスタであり、上記他方のトランジスタはpチャネル絶縁ゲート型電界効果トランジスタであることを特徴とする半導体装置、(3)上記1又は2記載の半導体装置において、上記nチャネル絶縁ゲート型電界効果トランジスタ及びpチャネル絶縁ゲート型電界効果トランジスタは、相補型電界効果トランジスタを構成し、上記一方

のトランジスタはメモリセルを構成することを特徴とする半導体装置、(4)請求項1、2又は3記載の半導体装置において、上記第2導電型の複数の領域は、同じ不純物を同じ濃度で有することを特徴とする半導体装置により達成される。

上記他の目的は、(5)第1導電型シリコン基板上に、互いに分置された複数の第2導電型の領域を形成する工程、該第2導電型の領域の1の上に第1導電型の領域を形成する工程、nチャネル絶縁ゲート型電界効果トランジスタとpチャネル絶縁ゲート型電界効果トランジスタのいずれか一方のトランジスタを、該第1導電型の領域の上に、他方のトランジスタを、該第2導電型の領域の他の1の上に、バイポーラトランジスタの少なくとも1部を、該第2導電型の領域のさらに他の1の上に、かつ該領域を該バイポーラトランジスタのコレクタとして、それぞれ形成する工程により、上記1記載の半導体装置を製造することを特徴とする半導体装置の製造方法、(6)上記5記載の半導体装置の製造方法において、上記第1導電型

はp型であり、上記第2導電型はn型であり、上記一方のトランジスタはnチャネル絶縁ゲート型電界効果トランジスタであり、上記他方のトランジスタはpチャネル絶縁ゲート型電界効果トランジスタであることを特徴とする半導体装置の製造方法により達成される。

上記(5)項記載の3番目の工程において、各トランジスタはどのような順で形成してもよい。始めに、バイポーラトランジスタを形成し、その後MOSトランジスタを形成しても、始めにMOSトランジスタを形成し、その後バイポーラトランジスタを形成してもよい。

【作用】

メモリセル部を構成する三重ウェル構造の基板とウェルとの間に設けられた反対導電型の埋込層と、バイポーラトランジスタの埋込層とを同一工程により製造するため、プロセス工程の大幅な簡略化が行われた。

また、メモリセル部を構成する三重ウェル構造の基板とウェルとの間に設けられた反対導電型の

埋込層は、従来のn型シールド層に比較して、その不純物濃度が従来よりも2桁以上高くできるため、メモリセルに流入する雑音電流を著しく減少できる。さらに、メモリセルに流入する雑音電流が大幅に低減するため、素子特性が従来以上に改善される。

【実施例】

以下、本発明の一実施例を、第1図～第6図の素子の断面図を用いて説明する。

初めに、第2図に示すように、p型シリコン基板1の表面の一部に、不純物としてアンチモンを用い熱拡散によりn型埋込層2を形成する。この後、気相成長法により1.5 μ mの厚みにn型エピタキシャル層3を成長させる。

次に、第3図に示すように、上記エピタキシャル層3の表面に、熱酸化により二酸化シリコン6を形成し、さらに、ホトレジストの選択マスクを用いて、ボロンの分子イオン打ち込みを加速電圧60 keV、ドーズ量 $7 \times 10^{11}/\text{cm}^2$ で行いpウェル4を形成する。同様にリンのイオン打ち込みを加速

特開平4-11767 (4)

電圧 125 keV、ドーズ量 $3 \times 10^{13}/\text{cm}^2$ で行い n ウェル 5 を形成する。

次に、第 4 図に示すように、始めに、通常の選択酸化法を用いて、二酸化シリコン 7 を形成し、素子間の分離を行う。この後、n チャネル MOS トランジスタ領域に、p 型不純物イオンとしてボロンを加速電圧 260 keV、ドーズ量 $8 \times 10^{12}/\text{cm}^2$ で打ち込み、また、p チャネル MOS トランジスタ領域に、n 型不純物イオンとしてリンを加速電圧 400 keV、ドーズ量 $5 \times 10^{12}/\text{cm}^2$ で打ち込み、それぞれ低抵抗の埋込 p 型層 8 と埋込 n 型層 9 を形成する。

次に、第 5 図に示すように、始めに、バイポーラトランジスタを形成する。まずリンを加速電圧 80 keV、ドーズ量 $5 \times 10^{13}/\text{cm}^2$ で打ち込み、コレクタ引出し用の n 型拡散層 10 を形成した後、ボロンを加速電圧 10 keV、ドーズ量 $2 \times 10^{13}/\text{cm}^2$ で打ち込み、ベース領域の p 型拡散層 11 を形成する。この後、二酸化シリコン 6 の一部に開孔部を設けて、ヒソを不純物として含む n 型多結晶シリコン

13 を堆積し、熱処理を行うことによりエミッタ領域の n 型拡散層 12 を形成する。

次に、第 6 図に示すように、MOS トランジスタを形成する。始めに、上記素子表面に、n 型多結晶シリコン 14 と二酸化シリコン 15 を堆積して、通常のホトリソグラフィ技術とドライエッチング技術を用いてゲート電極を形成する。この後、メモリセル部の n チャネル MOS トランジスタを LDD 構造とするために、この領域に選択的に n 型不純物イオンとしてリンを加速電圧 25 keV、ドーズ量 $2 \times 10^{12}/\text{cm}^2$ で打ち込み、n 型拡散層 17 を形成する。この後、上記ゲート電極の側壁にサイドスペーサ用の二酸化シリコン 16 を $0.04 \mu\text{m}$ の厚みに形成する。

最後に、第 1 図に示すように、n チャネル MOS トランジスタのソース・ドレインとなる n 型拡散層 18 及び p チャネル MOS トランジスタのソース・ドレインとなる p 型拡散層 19 を形成し、本発明の BiCMOS が完成される。

なお、上記の実施例において、始めに、バイポ

ラトランジスタを形成し、その後 MOS トランジスタを形成したが、始めに MOS トランジスタを形成し、この後バイポーラトランジスタを形成しても、同様な結果が得られることは言うまでもない。

さらに、上記の実施例において、すべての n 型、p 型の導電型を逆転しても、同様な結果が得られることは言うまでもない。

【発明の効果】

以上説明したように、本発明によりメモリセル部を構成する三重ウェル構造の基板とウェルとの間に設けられた反対導電型の埋込層が高い不純物濃度を有する半導体装置が得られた。不純物濃度が 2 桁以上高い場合、ウェルとソースはドレイン間に形成されるダイオードに流れる逆方向リーク電流が、測定条件 -5 V 、アノード面積 $160 \times 160 \mu\text{m}^2$ で、約 0.2 pA から約 0.01 pA に低減した。

また、メモリセル部を構成する三重ウェル構造の基板とウェルとの間に設けられた反対導電型の埋込層とバイポーラトランジスタの埋込層を同一

工程により製造するため、プロセス工程の簡略化が実現できた。例えば、本発明を用いて 4 Mビット BiCMOS DRAM を試作した結果、プロセス工程数が約 650 工程から約 570 工程に低減できた。

4. 図面の簡単な説明

第 1 図は本発明の一実施例の半導体装置の断面図、第 2 図、第 3 図、第 4 図、第 5 図、第 6 図はその製造方法を示す素子の工程断面図、第 7 図は従来の半導体装置の断面図である。

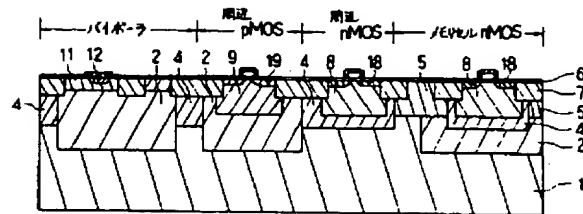
- 1 … p 型シリコン基板
- 2 … n 型埋込層
- 2' … n 型シールド層
- 3 … n 型エピタキシャル層
- 4 … p ウェル
- 5 … n ウェル
- 6、7、15、16 … 二酸化シリコン
- 8 … 埋込 p 型層
- 9 … 埋込 n 型層
- 10、12、17、18 … n 型拡散層

特開平4-11767 (5)

11、19… p 型拡散層

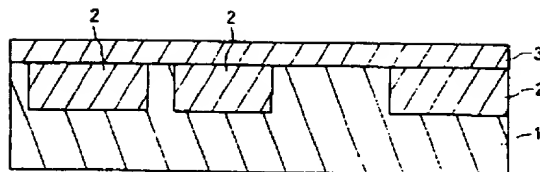
13、14… n 型多結晶シリコン

代理人弁理士 薄田利幸

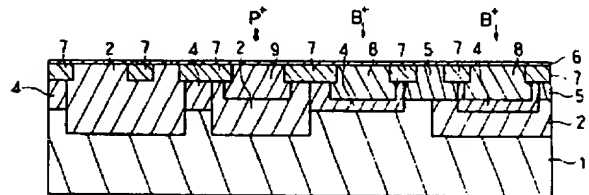


第 1 図

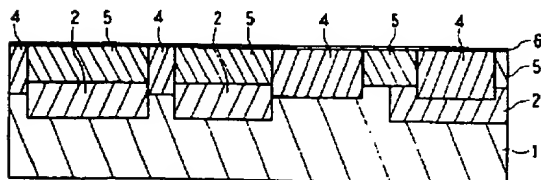
- | | |
|---------------------|----------------------|
| 1-----p 型シリコン基板 | 6-----埋込p型層 |
| 2-----n 型埋込層 | 9-----埋込n型層 |
| 3-----n 型エピタキシャル層 | 10,12,17,18---n 型拡散層 |
| 4-----p ウェル | 11,19-----p 型拡散層 |
| 5-----n ウェル | 13,14-----n 型多結晶シリコン |
| 6,7,15,16---ニ酸化シリコン | |



第 2 図

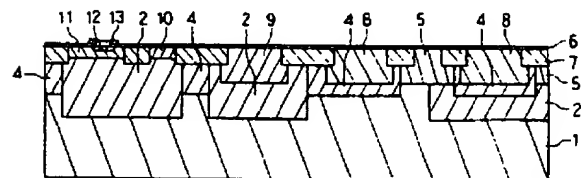


第 4 図



- 1---p 型シリコン基板
2---n 型埋込層
3---n 型エピタキシャル層
4---p ウェル
5---n ウェル
6---ニ酸化シリコン

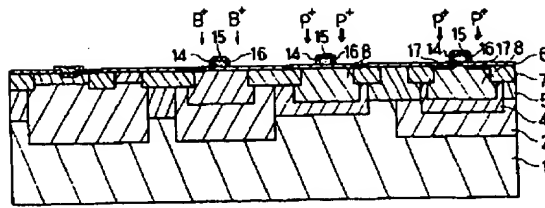
第 3 図



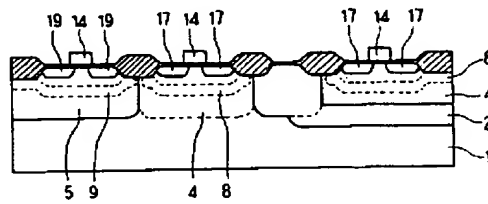
第 5 図

- | | |
|-----------------|-----------------|
| 1-----p 型シリコン基板 | 8-----埋込p型層 |
| 2-----n 型埋込層 | 9-----埋込n型層 |
| 4-----p ウェル | 10,12---n 型拡散層 |
| 5-----n ウェル | 17-----p 型拡散層 |
| 6,7---ニ酸化シリコン | 13---n 型多結晶シリコン |

特開平4-11767(6)



第 6 図



第 7 図

- | | |
|---------------------|-----------------|
| 1.....p型シリコン基板 | 8....埋込p型層 |
| 2.....n型埋込層 | 9....埋込n型層 |
| 2'.....n型シールド層 | 17,18..n型拡散層 |
| 4.....pウェル | 14....n型多結晶シリコン |
| 5.....nウェル | |
| 6,7,15,16...二酸化シリコン | |